

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-208517
 (43)Date of publication of application : 28.07.2000

(51)Int.Cl. H01L 21/3205

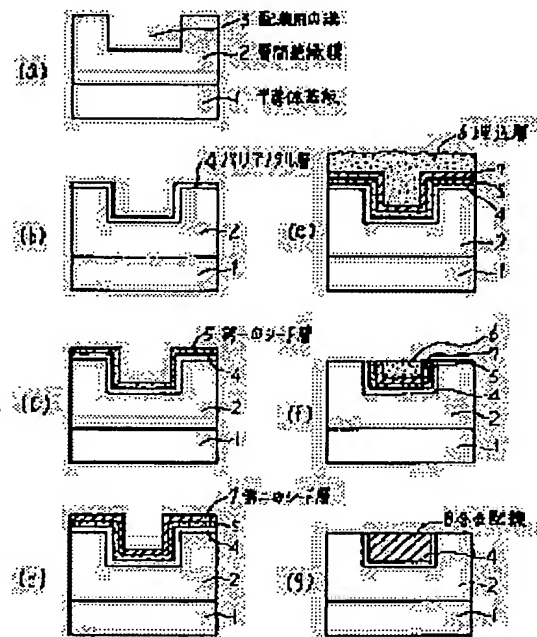
(21)Application number : 11-005405 (71)Applicant : FUJITSU LTD
 (22)Date of filing : 12.01.1999 (72)Inventor : KITADA HIDEKI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a means having sufficient adhesion, capable of enduring a CMP(chemical-mechanical polishing) process when manufacturing a lamination between a barrier metal and a Cu alloy, when a Cu alloy wiring is formed.

SOLUTION: In this manufacturing method, after a wiring groove 3 is formed in an interlayer insulation film 2 on a semiconductor substrate 1, a Cu layer 5 and a Cu alloy layer 7 are laminated by a sputtering method via a barrier metal layer 4, thereby burying into a Cu groove by a plating film forming methods. Furthermore, when a film of Cu layer/Cu alloy layer/Cu plated buried layer 6 is formed, by conducting this at a room temperature, with the result that a close adhesion between the respective laminated layers have full strength, and a leveling process by a CMP in a next step can be executed. After the leveling process, a heat treatment is conducted, and a CU alloy wiring is obtained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-208517

(P2000-208517A)

(43)公開日 平成12年7月28日(2000.7.28)

(51)Int.Cl.⁷

H 0 1 L 21/3205

識別記号

F I

H 0 1 L 21/88

テマコード^{*}(参考)

B 5 F 0 3 3

R

K

審査請求 未請求 請求項の数5 O L (全 7 頁)

(21)出願番号

特願平11-5405

(22)出願日

平成11年1月12日(1999.1.12)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 北田 秀樹

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74)代理人 100072590

弁理士 井桁 貞一

最終頁に続く

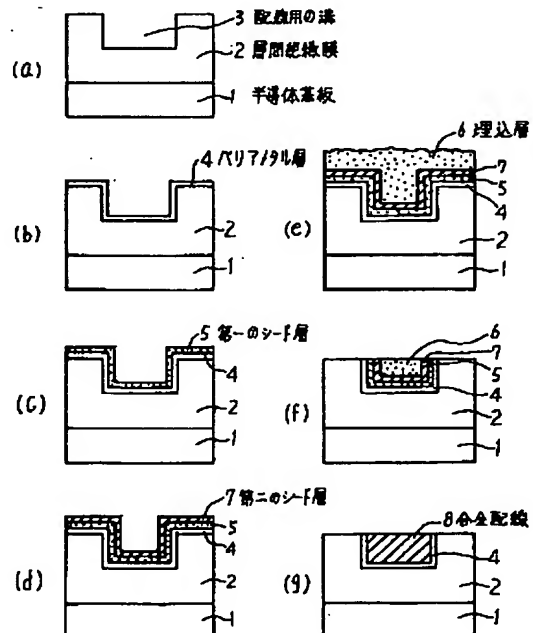
(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 絶縁膜の溝にCu合金の配線を形成する際、従来技術での積層構成を、バリアメタル層/Cu合金層/Cuメッキ埋め込み層とすると、バリアメタル~Cu合金層の積層間の密着性が不十分なため、次工程のCMPによる平面化处理が不可能となるという問題点があった。

【解決手段】 半導体基板上の層間絶縁膜に配線用の溝を形成した後、バリアメタル層を介してスパッタ法によりCu層と、次いでCu合金層を積層して、めっき成膜法によってCuの溝への埋め込みを行う。またCu層/Cu合金層/Cuメッキ埋め込み層の成膜時の基板温度は何れも室温で行うことで、各積層間の密着性は十分な強度をもつものとなり、次工程のCMPによる平面化处理を実施することができる。平面化处理後、熱処理を行い、Cu合金配線を得る。

本発明の実施の形態を示す半導体装置の製造工程断面図



【特許請求の範囲】

【請求項 1】 半導体基板上に積層された層間絶縁膜に、配線用の溝を形成する溝形成工程と、前記溝内を含む前記層間絶縁膜上に、バリアメタル層を積層するバリアメタル層形成工程と、前記バリアメタル層上に、第一の金属からなる第一のシード層を積層する第一シード層形成工程と、前記第一のシード層上に、主たる成分である前記第一の金属と添加成分である第二の金属との組成をもつ合金からなる第二のシード層を積層する第二シード層形成工程と、次いで、前記第一の金属からなる層を前記溝内へ埋設するように積層する埋設層形成工程と、前記溝内に形成した部分を除いて、前記バリアメタル層と前記第一のシード層と前記第二のシード層および前記埋設層を除去する平坦化工程と、次いで、前記溝内に形成した前記第二の金属を熱処理により前記第一の金属中に拡散させる熱処理工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2】 前記第一の金属が Cu であり、前記第二の金属が Sn、Ag のいずれかであることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】 前記第一シード層形成工程と、前記第二シード層形成工程とが、スパッタ法であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 4】 前記埋設層形成工程が、めっき成膜法であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 5】 前記平坦化工程が、CMP 法であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関するものであり、特に層間絶縁膜に配線用の溝を形成後、その内部に Cu 合金配線を形成する方法に関する。

【0002】

【従来の技術】従来より、半導体基板上に形成される LSI の配線材料として Al が主として用いられて来たが、近年、LSI がますます高集積化・高速化する中で、Al よりも低抵抗で、かつ活性化エネルギーが高いことから高いエレクトロマイグレーション (EM) 耐性をもつ Cu が期待されている。

【0003】この Cu 配線の工程としては、絶縁膜にドライエッチングで形成した配線用の溝に Cu を埋設後、CMP (化学的機械研磨: Chemical Mechanical Polishing) により不要層の除去を行うダマシン法が用いられるケースが多くなってきている。Cu の埋設方法としては、CVD、スパッタリフロー、めっき等が挙げられるが、その代表的なもの

として、めっきによる埋設方法の例を図面を参照しながら説明する。

【0004】図 2 は、従来の半導体装置の製造工程の断面図を示したものであり、埋設材料として Cu を用いた例である。

【0005】はじめに、図 2 (a) に示すように、半導体基板 11 上に形成された層間絶縁膜 12 にフォトリソグラフィとドライエッチングにより配線用の溝 13 を形成する。

【0006】次に、図 2 (b) に示すように、バリアメタル層 14 を積層する。

【0007】次に、図 2 (c) に示すように、めっき用シード層として Cu 層 15 を積層し、次に、図 2 (d) に示すように、埋め込み用の Cu めっき層 16 (シード層である Cu 層 15 は、これと同化している) を成膜する。

【0008】この後、図 2 (e) に示すように、CMP 法により溝内の埋設部分を残すように、上部 Cu 層 16 およびバリアメタル層 14 を除去して、層間絶縁膜 12 に埋め込み配線を完成する。

【0009】

【発明が解決しようとする課題】Cu による配線において、更に EM 耐性の向上が期待される手段として、Sn、Ag などを添加して Cu を合金化する方法が検討されている。これは、Al 合金配線における効果と同様に、Cu の粒界拡散の抑制と界面拡散の抑制により EM 耐性向上が可能となると考えられるためである。

【0010】しかしながら、CuSn、CuAg などのよう Cu 合金は添加する元素によっては、下地のバリアメタルとの密着性が低下し、その結果、CMP 工程で Cu 合金層の剥離が生じ、配線形成には適さない。

【0011】Cu 合金として、例えば添加元素に Sn を用いた CuSn の場合、前記のように極端に密着性が劣り CMP 工程を実施できない。この CuSn の密着特性についての測定結果を、図 3 に示す。

【0012】図 3 は、CuSn 合金の組成の違いによる密着性変化を示す説明図であり、Cu 中の Sn 添加濃度 (重量%) に対するテープテストによる剥離割合 (%) を示すものである。使用サンプルは、絶縁膜 (SiO₂、膜厚 100nm) を形成した Si 基板上にバリアメタル層 (Ta₂N₅、膜厚 50nm) を積層し、その上に、1.5 μm 厚の CuSn 層 (添加 Sn 濃度: 0.05 ~ 0.5% 変化) をスパッタ法により積層することで作製した。剥離試験はスコッチテープを用いた基盤目テープテスト (ASTM, D-3359-87) によった。図中の実線は積層したままのサンプルを用い、破線は積層後、熱処理 (10⁻⁷Torr の真空中、300℃、10 分間) を加えたサンプルを用いて試験を行った結果を示す。

【0013】図 3 から、CuSn 合金層の密着性は Cu

中の微量な Sn の添加量に大きく依存して低下すること、熱処理を加えると、合金層内の内部応力がより上昇し、更に密着性は低下すること、また CMP 工程が実施可能な剥離の割合を、例えば図中の点線で図示した 30% 程度以下とすると、CuSn 中の Sn 濃度を 0.05% 以下にする必要があるという制約が生じること等が分かる。また、これらの CuSn 膜の密着性の傾向は、TiN、Ta、Ti 等のバリアメタル材料に殆ど依存しない結果が得られている。

【0014】以上のように、CuSn をはじめとする Cu 合金による配線は、今後ますます LSI の高集積化・高速化に対応すべく、EM 耐性を更に向上でき得ることが期待されながら、単なる従来の方法を適用することでは、バリアメタルとの密着性を確保することが困難である。

【0015】従って、本発明の目的は、Cu 合金配線において、バリアメタル～Cu 合金間の積層製造方法に関し、CMP 工程に耐え得る十分な密着性能を有する手段を提供することにある。

【0016】

【課題を解決するための手段】本発明は、上記の目的を達成するために提案されたものであって、バリアメタル層～(Cu)合金シード層間に合金の主たる構成金属(Cu)からなる新規のシード層を挿入して十分な密着性能を得るものである。

【0017】具体的に請求項 1 の発明が講じた解決手段は、半導体装置の製造方法を、半導体基板上に積層された層間絶縁膜に、配線用の溝を形成する溝形成工程と、前記溝内を含む前記層間絶縁膜上に、バリアメタル層を積層するバリアメタル層形成工程と、前記バリアメタル層上に、第一の金属からなる第一のシード層を積層する第一シード層形成工程と、前記第一のシード層上に、主たる成分である前記第一の金属と添加成分である第二の金属との組成をもつ合金からなる第二のシード層を積層する第二シード層形成工程と、次いで、前記第一の金属からなる層を前記溝内へ埋設するように積層する埋設層形成工程と、前記溝内に形成した部分を除いて、前記バリアメタル層と前記第一のシード層と前記第二のシード層および前記埋設層を除去する平坦化工程と、次いで、前記溝内に形成した、前記第二の金属を熱処理により前記第一の金属中に拡散させる熱処理工程とを有すること

を特徴とする構成とするものである。

【0018】請求項 2 の発明が講じた解決手段は、特に、前記第一の金属が Cu であり、前記第二の金属が Sn、Ag のいずれかであることを特徴とするものである。

【0019】また、請求項 3 の発明が講じた解決手段は、特に、前記第一シード層形成工程と、前記第二シード層形成工程とが、スパッタ法であることを特徴とするものである。

【0020】また、請求項 4 の発明が講じた解決手段は、特に、前記埋設層形成工程が、めっき成膜法であることを特徴とするものである。

【0021】さらに、請求項 5 の発明が講じた解決手段は、特に、前記平坦化工程が、CMP 法であることを特徴とするものである。

【0022】そして、請求項 1 の構成によって、まず、配線用の溝内を含む層間絶縁膜上に、下層側から順に、バリアメタル層／第一の金属からなる第一シード層／合金（第一の金属を主たる成分とし、第二の金属を添加成分とするもの）からなる第二シード層／第一の金属からなる埋設層が形成され、たとえば、上記の具体例として、TaN（バリアメタル層）／Cu（スパッタ形成第一シード層）／CuSn（スパッタ形成第二シード層）／Cu（めっき埋設層）であり、これらによってその後の工程である CMP に十分耐える層構成を得ることが可能となる。

【0023】また、CMP 工程後の熱処理によって、溝内のバリアメタル層以外の三層中の金属成分の相互拡散により、均一材質の合金化が行われ、その結果、所期の合金配線を得ることができる。

【0024】

【発明の実施の形態】具体的な配線構造による発明の実施を行う前に、基礎的な工程検討を実施した。

【0025】まず、基本的知見として、バリアメタルとスパッタ法で成膜した Cu（純 Cu）層との密着性は良好であり、また Cu 合金と Cu（純 Cu）層との密着性も良い。このことを踏まえ、下層側から順に、バリアメタル層／Cu 層／Cu 合金層の三層構成における密着性の調査を実施した。その結果を、表 1 に示す。

【0026】

【表 1】

積層構造の違いによる密着性の変化を示すデータ

積 層 構 造	テープテスト剝離割合
CuSn0.5%(1.5 μ m)/ TaN	100%
CuSn0.5%(1.5 μ m)/ Cu(10nm)/ TaN	0%
CuSn0.5%(1.5 μ m)/ Cu(20nm)/ TaN	0%
CuSn0.5%(1.5 μ m)/ Cu(50nm)/ TaN	0%
CuSn0.5%(1.5 μ m)/ Cu(100nm)/ TaN	0%

【注1】 CuSn0.5%(1.5 μ m)は、CuSn層が、Sn濃度0.5重量%で膜厚が1.5 μ mであることを示す。

【注2】 Cu(10nm)は、Cu層が膜厚10nmであることを示す。他も同様。

【注3】 剝離試験のテープテストは、スコッチテープを用いた基板目テープテスト (ASTM, D-3359-87) による。

【0027】実施した三層構成は、TaN層（バリアメタル）／Cu層（スパッタ成膜）／CuSn層（スパッタ成膜、Sn濃度0.5重量%）であり、スパッタは室温で行い、中間Cu層の膜厚を0、10、20、50、100nmと変化したサンプルを作製し、前記と同じ方法のテープテストにより剝離試験を実施した。表1はその剝離の割合を示したものである。

【0028】この結果は、中間Cu層の膜厚が0nm、即ち中間Cu層が無いときはすべて剝離するが、その膜厚が10nmと薄い時でも、剝離率0%と密着性は良好であることを示しており、従って、このような三層構成はCMP工程に十分耐えることが判った。

【0029】次に、上記三層構造の各サンプルを、真空中（真空度、 10^{-7} Torr以下）で、300℃、10分間熱処理を施し、同じ方法のテープテストにより剝離試験を実施したところ、すべてのサンプルで100%の剝離率となった。これは、CuSn層（スパッタ成膜、Sn濃度0.5%）中のSnが中間Cu層へ拡散し、T

aN（バリアメタル）／CuSn層（Sn濃度0.5%以下）の二層構造に転換したためと考えられる。つまり、この三層構造の膜構成において良好な密着性を確保するためには、CMP工程を終えるまで室温で処理を行うことが重要となる。

【0030】従って、積層形成後の次工程となるCu層の埋設工程においては、室温処理でのCu層埋め込み特性が良好なめっき法を採用することが適切である。他の方法として例えば、スパッタリフロー法によるCu層埋設の場合、350℃程度の温度が必要となり、またCVD法による場合も基板温度が170℃程度の温度上昇となり、いずれもSnの拡散が生じる基板温度となることから、それらの埋設法は、本三層構造の膜構成を基本とする配線形成には適していない。

【0031】以上の基礎的な工程の検討を踏まえ、以下に実施例を述べる。

【0032】【実施例1】図1は本発明の一実施の形態における半導体装置の製造方法の工程断面図を示したも

のである。図 1 (a) において、1 は半導体基板、2 は半導体基板 1 上に $2 \mu\text{m}$ の厚さにプラズマ CVD 法によって積層された酸化膜からなる層間絶縁膜、3 は層間絶縁膜の上面からフォトリソグラフィとドライエッチングによって形成された配線用の溝を示しており、本溝の幅を $0.5 \mu\text{m}$ 、深さを $1.0 \mu\text{m}$ とした。

【0033】次に、図 1 (b) に示す様に、半導体基板の溝側上面からスパッタ法により TaN からなる 40 nm の厚さ（溝内部の側壁と底面における膜厚）をもつバリアメタル層 4 を積層した。

【0034】次に、図 1 (c) に示すように、バリアメタル層 4 の上から、スパッタ法により第一のシード層である Cu 層 5 を、溝内部の側壁と底面に積層される Cu 膜厚を 10 nm となるように積層し、この時の基板温度を室温とした。

【0035】引き続きこの形成基板を真空（真空度、 10^{-6} Torr ）で保持された状態で搬送して、CuSn のスパッタ工程に移行し、図 1 (d) に示すように、基板温度を室温で、CuSn（Sn 濃度が 0.5% ）を、溝内部の側壁と底面の膜厚で 50 nm になるように第二のシード層である CuSn 層 7 を積層した。

【0036】次に、図 1 (e) に示すように、室温で、膜厚 $1.2 \mu\text{m}$ となるように電解めっきにより Cuめっき層 6 の成膜を行って溝を Cu で埋設させ後、図 1

(f) に示すように CMP 法によって溝内の積層金属を残して、それ以外の絶縁膜上の積層膜を取り除く平坦化処理を行った。この時、TaN 層 / Cu スパッタ層 / CuSn スパッタ層の積層構造は CMP 工程を行っても、剥離することはなく、良好な密着性を有していることを確認した。

【0037】次に、これを真空中（真空度、 10^{-7} Torr 以下）、 300°C で 10 分間の熱処理を行うことによって、CuSn 中の Sn を配線構造中に拡散させ、図 1 (g) に示すように、幅 $0.5 \mu\text{m}$ 、深さ $1 \mu\text{m}$ の合金の CuSn 配線 8 を形成した。

【0038】なお、CuSn 配線中の Sn 濃度については、配線断面が矩形状であるとし、その断面積と、内部壁面及び底面に一様に形成された Cu 膜と CuSn 膜及び残りの部分をすべて Cu 埋め込み層で埋設されるとして、各層の占有面積比及び CuSn 膜中の Sn 濃度の値から近似的に算定することができ、上記の実施例の場合は、 0.136% となる。

【0039】従って、合金配線中の Sn 濃度を所定の値にしたい場合、例えば CuSn 層厚の調整、あるいは CuSn 層中の Sn 濃度（即ち、スパッタ用 CuSn ターゲットの Sn 添加濃度）の調整などで近似的な設計を可能とすることができる。

【0040】上記のような、CuSn スパッタシード層からの Cu 層への拡散によって、CuSn 埋め込み配線を形成する方法とは別に、はじめから、電解めっきで

uSn 合金を形成する方法についても検討した。しかし Cu、Sn 各々の電析電位が異なるため、Sn 濃度をコントロールすることは非常に困難であり実際的には無いたことが分かり、本発明の方法による方が形成プロセス上、容易であることが確認された。

【0041】〔実施例 2〕本発明の別の実施の形態の半導体装置の製造方法として、配線合金の組成を CuAg とすることを実施した。そのため、実施例 1 の工程において、溝内の膜の積層構成を、下層側から順に、バリアメタル層（TaN 膜厚 40 nm ） / Cu 層（室温スパッタ成膜 10 nm ） / CuAg 層（室温スパッタ成膜 50 nm ） / Cu 埋設層（室温電解めっき埋め込み成膜 $1.2 \mu\text{m}$ ）となるように形成した。

【0042】これを、CMP 法によって、溝内以外の金属層を除去・平坦化した後、真空中（真空度、 10^{-7} Torr 以下）、 300°C で 10 分間の熱処理を施し、Ag を配線中に均一に拡散させることで、CuAg 合金配線を形成した。その結果、この場合においても、CMP 法の適用に際して、三層膜構造において剥離することなく、良好な密着性を有していることが示された。

【0043】また、CuAg 合金配線中の Ag 濃度を近似的に設定する場合についても、上記の CuSn の場合と同様に行うことができる。

【0044】以上の実施例では、Cu 合金の添加金属として Sn と Ag について示したが、Cu との合金化の可能性と添加による配線抵抗の上昇率の限界等を考慮すると、上記金属以外に、Cd、Zr、Zn、Pb、Ni などの金属が、本発明における添加金属としての適用が可能である。

【0045】また、本発明の実施の形態においては、先の実施例 1 および 2 におけるバリアメタルとして TaN を使用した例を挙げたが、必ずしもこれに限られず、Ti や Ta 単体金属あるいは TiN も適用可能であることを確認している。

【0046】これまでの本発明の実施の形態においては、配線用の溝への Cu 合金の埋設による配線の形成に関するものとした。しかし、本発明は必ずしも絶縁膜の上に形成された溝に対して Cu 合金を埋設して配線を形成することにのみ適用されるものではなく、半導体基板上に予め形成された、拡散層・配線層・導体層に達する絶縁膜開口部へ Cu 合金電極や Cu 合金コンタクトプラグを埋設する場合においても効果があることは言うまでもない。

【0047】

【発明の効果】以上の説明から明かなように、本発明は、Cu 合金によって、絶縁膜の溝内に配線を形成する際に、バリアメタル層形成後 Cu 層を成膜し、次いで Cu 合金層を成膜することで、Cu 合金層を含む膜構成の相互の密着性を向上させることが可能となり、これにより、次工程の Cu のメッキ埋設層埋め込み後の CMP

10

20

30

40

50

法での平坦化処理を、形成膜の剥離障害を発生することなく実施することができる。また、その後に熱処理を実施することでCu合金配線を溝内に形成するすることができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態を示す半導体装置の製造工程断面図

【図2】 従来の半導体装置の製造工程断面図

【図3】 CuSn合金の組成の違いによる密着性変化を示す説明図

【符号の説明】

- 1 半導体基板
- 2 層間絶縁膜
- 3 配線用の溝

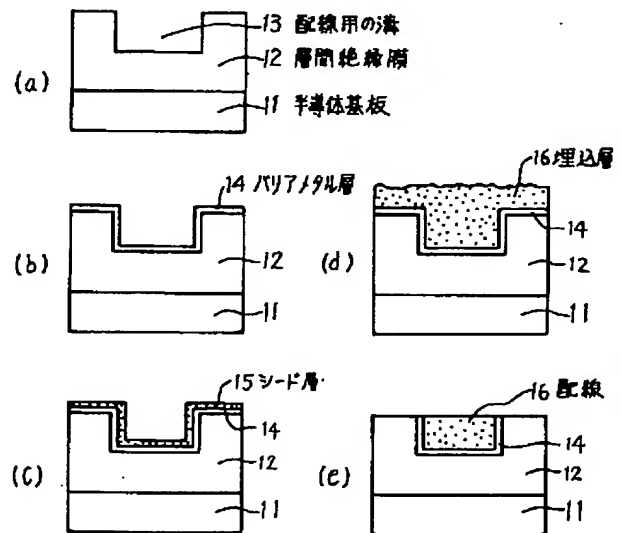
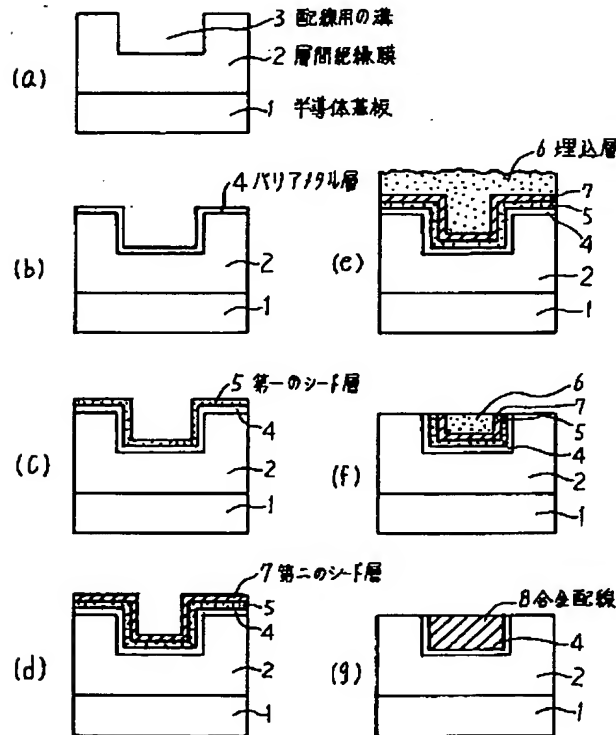
- 4 バリアメタル層
- 5 Cu層（第一の金属からなる第一のシード層）
- 6 Cuめっき層（第一の金属からなる埋込層）
- 7 CuSn層（主たる成分である第一の金属と添加成分である第二の金属の組成をもつ合金からなる第二のシード層）
- 8 熱処理後のCuSn合金配線
- 11 半導体基板
- 12 層間絶縁膜
- 13 配線用の溝
- 14 バリアメタル層
- 15 Cu層（シード層）
- 16 Cuめっき層（埋込層）

【図1】

【図2】

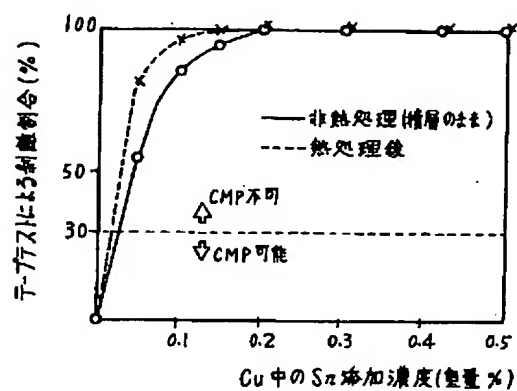
本発明の実施の形態を示す半導体装置の製造工程断面図

従来の半導体装置の製造工程断面図



【図3】

Cu-Sn合金の組成の違いによる密着性変化を示す説明図



フロントページの続き

Fターム(参考) 5F033 HH11 HH12 HH18 HH21 HH32
 HH33 JJ11 JJ12 JJ18 JJ21
 JJ32 JJ33 KK01 MM01 MM08
 MM12 MM13 NN06 NN07 PP15
 PP27 QQ48 QQ73 QQ98 RR04
 SS15 XX13